



Technische Informatik I im WS 2004/2005

12. Übungsblatt

Abgabetermin: 03. Februar 2005, bis 13:00 Uhr

Dr.-Ing. Tamim Asfour

Haid-und-Neu-Str. 7
 2. OG., Raum 313.1
 D-76131 Karlsruhe

Telefon: +49-721-608-7379

Fax: +49-721-608-8270

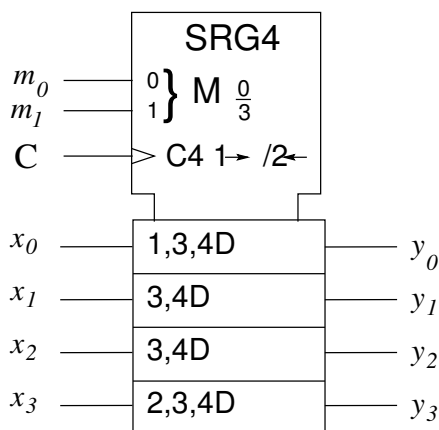
Email: asfour@ira.uka.de

<http://i61www.ira.uka.de/users/asfour/T1>

Aufgabe 1

(4 Punkte)

Entwerfen Sie mit LoKon ein 4-stelliges Schieberegister mit parallelen Ein- und Ausgängen, das bezüglich der Reihenfolge $x_0 x_1 x_2 x_3$ sowohl nach rechts als auch nach links schieben kann. Verwenden Sie dabei D-Flipflops als Speicherelemente.

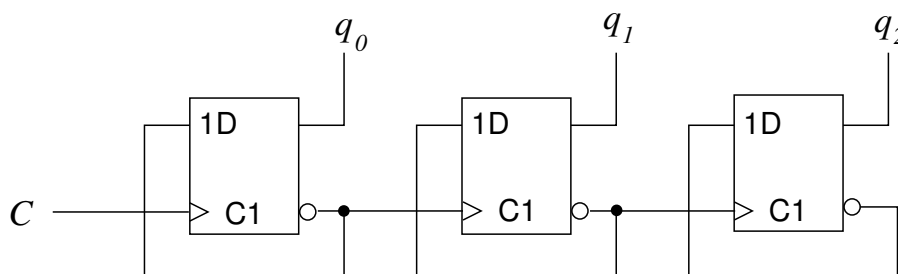


m_1	m_0	Funktion
0	0	speichern
0	1	nach rechts schieben
1	0	nach links schieben
1	1	parallel übernehmen

Aufgabe 2

(7 Punkte)

Gegeben sei das folgende Schaltwerk:



1. Ist die Schaltung als synchron oder als asynchron zu klassifizieren?
2. Bauen Sie die Schaltung mit dem Simulationsprogramm LoKon auf. Zeichnen Sie ein Zeitdiagramm und verfolgen Sie die Werte der Zustandsvariablen für 9 Taktperioden. Nehmen Sie dazu an, dass anfangs alle drei Variablen q_2, q_1, q_0 gleich 0 sind.

3. Welche Funktion(en) erfüllt die Schaltung?
4. Entwerfen Sie ein synchrones Schaltwerk, das die gleiche Funktion realisiert. Verwenden Sie ebenfalls D-Flipflops und vergleichen Sie die Anzahl der benötigten Bauelemente. Nehmen Sie dabei an, dass nur NOR-Gatter als Verknüpfungsbausteine zur Verfügung stehen.
5. Besitzt Ihre Schaltung Vorteile gegenüber dem gegebenen Schaltwerk?

Aufgabe 3

(4 Punkte)

Es soll ein synchroner Parallel-Seriell-Wandler entwickelt werden. Die Schaltung soll vier Eingänge d_1, \dots, d_4 für parallele Daten, sowie einen „low“-aktiven Eingang „Strobe“ besitzen. Die Ausgänge der Schaltung werden mit S_{out} für die seriellen Daten „Valid“ bezeichnet. Falls Strobe = 0 ist, werden die momentan an den Eingängen d_1, \dots, d_4 anliegenden Daten mit der nächsten positiven Taktflanke in ein Register übernommen und mit den folgenden vier positiven Taktflanken am Ausgang S_{out} (d_1 zuerst und d_4 zuletzt) ausgegeben. Während dieser vier Taktflanken ist Valid = 1, sonst ist Valid = 0. Es soll zur Vereinfachung angenommen werden, dass „Strobe“ stets nur maximal eine Taktflanke und nicht während einer seriellen Ausgabe auf 0 gehen kann.

1. Zeichnen Sie beispielhaft ein Signal-Zeit-Diagramm aller Ein- und Ausgangssignale und des Taktes.
2. Bauen Sie die Schaltung in LoKon auf. (Hinweis: Die Schaltung kann mit einem 4-Bit Register, einem 4:1-Multiplexer, zwei JK-R-Flipflops, einem RS-Flipflop, einem 3-fachen AND-Gatter und einem Inverter realisiert werden. Korrekte Realisierungen mit anderen Bauelementen sind jedoch auch gültig.)
3. Wie muss die Schaltung geändert werden, damit die Datenbits in umgekehrter Reihenfolge (zuerst d_4 und d_1 zuletzt) ausgegeben werden?